

HORIZONTAL SCANNING CIRCUIT WITH FUNCTION FOR ELIMINATING FIXED PATTERN

Patent number: JP5216441

Publication date: 1993-08-27

Inventor: MAEKAWA TOSHIICHI

Applicant: SONY CORP

Classification:

- International: G02F1/133; G09G3/20; G09G3/36; H04N5/66;
G02F1/13; G09G3/20; G09G3/36; H04N5/66; (IPC1-7):
G02F1/133; G09G3/36; H04N5/66

- european: G09G3/36C14A

Application number: JP19920042084 19920131

Priority number(s): JP19920042084 19920131

Also published as:



EP0553823 (A)

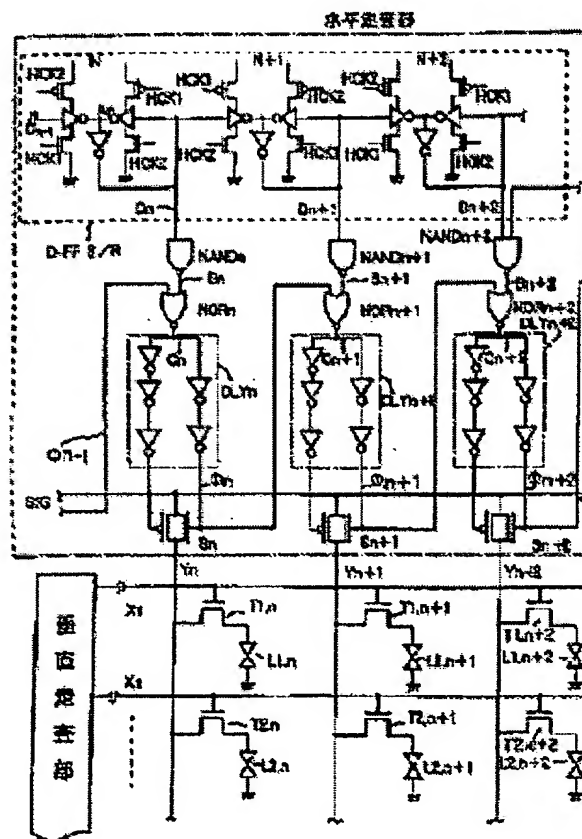
EP0553823 (A)

EP0553823 (B)

Report a data error here

Abstract of JP5216441

PURPOSE: To eliminate the vertical streak defect of a displayed image by improving the horizontal scanning circuit of an active matrix type liquid crystal display device. **CONSTITUTION:** The horizontal scanning circuit of the active matrix type liquid crystal display device is equipped with a shift register S/R for successively generating a horizontal switch-driving pulse signal. Further, a fixed pattern- removing circuit (NOR) is connected, thus an advance pulse generated previously from the shift register S/R is received as a control signal and the output timing of a succeeding pulse having the rise of the same phase as the fall of the preceding pulse is controlled. Consequently, interference between pulses included in the horizontal switch-driving pulse signal is eliminated.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-216441

(43) 公開日 平成5年(1993)8月27日

(51) Int. Cl. ⁵

識別記号

F I

G09G 3/36

7319-5G

G02F 1/133

550

7820-2K

H04N 5/66

102

B 9068-5C

審査請求 未請求 請求項の数 4 (全10頁)

(21) 出願番号

特願平4-42084

(22) 出願日

平成4年(1992)1月31日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 前川 敏一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

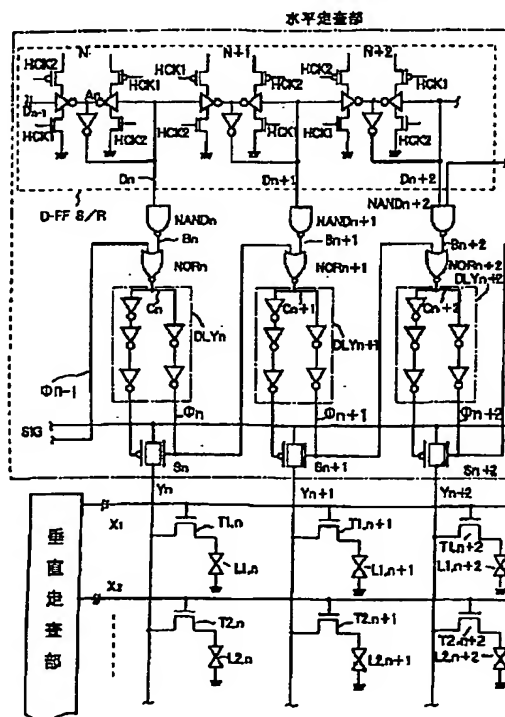
(74) 代理人 弁理士 高橋 光男

(54) 【発明の名称】 固定重複ボタン除去機能付水平走査回路

(57) 【要約】

【目的】 アクティブマトリクス型液晶表示装置の水平走査回路を改善して表示画像の縦筋欠陥を除去する。

【構成】 アクティブマトリクス型液晶表示装置の水平走査回路は水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタS/Rを備えている。さらに、固定ボタン除去回路(NOR)が接続されており、シフトレジスタS/Rから先に発生した先発パルスを制御信号として受け入れ且つこの先発パルスの立ち下がりと同位相の立ち上がりを有する後発パルスの出力タイミングを規制する。これにより水平スイッチ駆動パルス信号に含まれるパルス間の干渉が取り除かれる。



【特許請求の範囲】

【請求項 1】 出力部から水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生した N 段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上がりを有する M 段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定パタン除去回路とを備えた事を特徴とする水平走査回路。

【請求項 2】 該固定パタン除去回路は N 段目の先発水平スイッチ駆動パルスを制御信号として (M=N+1) 段目の次発水平スイッチ駆動パルスの出力タイミングを制御する事を特徴とする請求項 1 記載の水平走査回路。

【請求項 3】 X 軸方向に平行に配列された複数のゲート線と、Y 軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を線順次供給する第 1 の走査部と、前記データ線にデータ信号を線順次供給する第 2 の走査部と、前記ゲート線から供給されるゲート信号によって選択され且つ前記データ線から供給されるデータ信号をアクセスする為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とを有する二次元アドレス装置において、前記第 2 の走査部が、水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生した N 段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上がりを有する M 段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定パタン除去回路と、この固定パタン除去回路からの出力を遅延させる遅延回路と、この遅延回路を通過した出力に 30 応答して前記データ線に夫々データ信号をサンプリング分配するスイッチ手段とから構成された事を特徴とする二次元アドレス装置。

【請求項 4】 マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第 1 の電極に接続されたゲート線と、前記能動素子の第 2 の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とを備えた液晶表示装置において、N 段目の先発水平スイッチ駆動パルス 40 あるいは N 段目と略同位相の先発水平スイッチ駆動パルスを制御信号として前記 N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上がりを有する M 段目の後発水平スイッチ駆動パルスを生成する走査回路を設け、前記データ線に順次供給される映像信号のサンプリングを行なうとともに、N 段目に対応する先発サンプリングと M 段目に対応する後発サンプリングが重ならない様にした事を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はマトリクス状に配列されたゲートラインとデータラインとの交点に形成された薄膜トランジスタ等の能動素子と、対応する画素電極とから構成されるアクティブマトリクス型液晶表示装置に関する。より詳しくは、映像信号を線順次でデータラインに分配供給する為の水平走査回路に関する。

【0002】

【従来の技術】 本発明の理解を容易にする為に背景技術として図 8 にアクティブマトリクス型液晶表示装置の一般的な等価回路を示す。図示する様に、この型の液晶表示装置は X 軸方向に平行に配列された複数のゲートラインあるいはゲート線 X_1, X_2, \dots と、Y 軸方向に平行に配列された複数のデータラインあるいはデータ線 Y_1, Y_2, \dots とを備えている。各ゲート線とデータ線との交点には能動素子例えば薄膜トランジスタ (TFT) $T_{11}, T_{12}, T_{21}, T_{22}, \dots$ が形成されている。又対応して、液晶セル $L_{11}, L_{12}, L_{21}, L_{22}, \dots$ も形成されている。各 TFT のゲート電極はゲート線に接続されており、ソース電極はデータ線に接続されており、ドレイン電極は対応する液晶セルの画素電極に接続されている。なお、個々の液晶セルは画素電極及び対向する共通電極 COM によって挟持された液晶から構成されている。

【0003】 各データ線 Y_1, Y_2, \dots は夫々対応するスイッチングトランジスタ S_1, S_2, \dots を介して共通の信号線 SIG に接続されている。この信号線 SIG には外部から映像信号が供給される。各スイッチングトランジスタのゲート電極には水平走査回路が接続されている。この水平走査回路は外部から入力される水平クロック信号 HCLK に同期して順次水平スイッチ駆動パルス Φ_1, Φ_2, \dots をスイッチングトランジスタのゲート電極に印加する。一方、ゲート線 X_1, X_2, \dots は図示しない垂直走査回路に接続されている。

【0004】 次に、図 8 に示す回路の動作を簡潔に説明する。図示しない垂直走査回路を駆動するとゲート線が線順次で励起され行毎に TFT が選択される。この時、水平走査回路を駆動しスイッチングトランジスタを線順次で動作させると、信号線 SIG に供給された映像信号が順次各データ線にサンプリングされる。サンプリングされた映像信号は行毎に選択された TFT を介して順次対応する液晶セルに書き込まれる。この様にして、映像信号のサンプリングデータは点順次で個々の液晶セルに書き込まれる事になる。

【0005】

【発明が解決しようとする課題】 次に、図 9 を参照して発明が解決しようとする課題を簡潔に説明する。図 8 に示す水平走査回路はシフトレジスタ等から構成されており、順次水平スイッチ駆動パルス Φ_1, Φ_2, \dots を出力する。論理的なレベルで考えると、先発のパルス Φ_1 と後発のパルス Φ_2 とは重ならない様に設計されている。 50

しかしながら、実際にはパルスの立ち上がりや立ち下がりにダレ等がある為ジッタが生じ部分的に重なってしまう場合が生じる。即ち、隣接するパルスが互いに干渉する。このジッタの量はシフトレジスタの各段における個々のデバイスの電気特性に依存しており固有のものである。従って、パルス列間における重複パターンは固定しており、シフトレジスタの特定の段には常に特定の量のジッタが現われる傾向にある。

【 0 0 0 6 】 前述した様に、先発パルス Φ_i に応答して対応するスイッチングトランジスタ S_i が導通し共通の信号線 SIG から映像信号が対応するデータ線 Y_i にサンプリングされる。次に、後発パルス Φ_{i+1} に応答して対応するスイッチングトランジスタ S_{i+1} が導通し共通の信号線 SIG から映像信号が対応するデータ線 Y_i にサンプリングされる。この時、ジッタがあると先発パルス Φ_i が立ち下がらない内に後発パルス Φ_{i+1} が立ち上がるので、その間の充放電電流によって信号線 SIG に電位の揺れが生じる。この電位揺れは先発パルスが立ち下がらない内に生じるので、データ線 Y_i にサンプリングされてしまい、結果的にデータ線 Y_i のサンプリングデータに誤差が生じてしまう。この誤差はジッタ量に依存しているので、特にジッタが著しい特定の段に常に現われる事になる。これは画面全体として見ると所謂縦筋となって現われ画像品質を著しく損なうという問題点がある。一般に、信号線 SIG に映像信号を出力するビデオドライバの出力インピーダンスは高く、且つ信号線のインピーダンスも高い為、水平スイッチ駆動パルスのジッタの影響を強く受け、画像の縦筋あるいは固定重複パターンが顕著である。さらに、水平走査回路のクロック周波数を下げ低消費電力化を図る為、所謂 RGB 同時駆動を行なうと、見掛け上画素の列数が少なくなる為縦筋欠陥が一層顕著になるという問題点がある。

【 0 0 0 7 】 上述した従来の技術の問題点に鑑み、本発明はアクティブマトリクス型液晶表示装置に内蔵される水平走査回路に固定重複パターン除去機能を付与し画像の縦筋欠陥を改善する事を目的とする。

【 0 0 0 8 】

【課題を解決するための手段】 上述した従来の技術の課題を解決し且つ本発明の目的を達成する為に講じられた手段は以下の通りである。即ち、マトリクス状に配列された複数の画素電極と、この画素電極に接続された能動素子と、この能動素子の第 1 の電極に接続されたゲート線と、前記能動素子の第 2 の電極に接続されたデータ線とを有する一方の基板と、この一方の基板に対向配置された他方の基板と、両方の基板間に挟持された液晶層とを備えた液晶表示装置において、N 段目の先発水平スイッチ駆動パルスあるいは N 段目と略同位相の先発水平スイッチ駆動パルスを制御信号として前記 N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上

する走査回路を設けるという手段を講じた。この走査回路は、前記データ線に順次供給される映像信号のサンプリングを行なうとともに、N 段目に対応する先発サンプリングと M 段目に対応する後発サンプリングが重ならない様に機能する。

【 0 0 0 9 】 具体的には、この水平走査回路は出力部から水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生した N 段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有する M 段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定パターン除去回路とから構成されている。この固定パターン除去回路は、例えば N 段目の先発水平スイッチ駆動パルスを制御信号として ($M=N+1$) 段目の次発水平スイッチ駆動パルスの出力タイミングを制御する様にしている。

【 0 0 1 0 】 本発明にかかる水平走査回路は液晶表示装置ばかりでなく、広く二次元アドレス装置に適用可能である。この二次元アドレス装置は、X 軸方向に平行に配列された複数のゲート線と、Y 軸方向に平行に配列された複数のデータ線と、前記ゲート線にゲート信号を線順次供給する第 1 の走査部と、前記データ線にデータ信号を線順次供給する第 2 の走査部と、前記ゲート線から供給されるゲート信号によって選択され且つ前記データ線から供給されるデータ信号をアクセスする為に前記ゲート線及びデータ線の交点に夫々設けられた能動素子とを有する。かかる構成を有する二次元アドレス装置において、前記第 2 の走査部は、水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタと、先に発生した N 段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの N 段目の先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有する M 段目の後発水平スイッチ駆動パルスの出力タイミングを制御する固定パターン除去回路と、この固定パターン除去回路からの出力を遅延させる遅延回路と、この遅延回路を通過した出力に応答して前記データ線に夫々データ信号をサンプリング分配するスイッチ手段とから構成されている。

【 0 0 1 1 】

【作用】 本発明によれば、水平走査回路は水平スイッチ駆動パルス信号を順次発生する為のシフトレジスタの出力段に固定パターン除去回路を接続している。この固定パターン除去回路は、先に発生した N 段目の先発水平スイッチ駆動パルスを制御信号として受け入れ且つこの先発水平スイッチ駆動パルスの立ち下がりと同位相の立ち上りを有する M 段目の後発水平スイッチ駆動パルスの出力タイミングを制御している。換言すると、先発パルスの出力中には後発パルスの出力を禁止し、先発パルスが立ち下がった後確実に後発パルスが立ち上がる様にしている。さらに、固定パターン除去回路から出力された後発パルスは所定の遅延をかけられた後対応する映像信号サン

プリングスイッチに供給される。この結果、シフトレジスタのN段目に対応する先発サンプリングとM段目に対応する後発サンプリングが必ず重ならない事になるので、縦筋あるいは固定重複パターンが除去できる。この発明においては、後発パルスの出力タイミングを制御する為に先発パルスを用いている。それ故、特に複雑な構成を有する回路の追加やクロック源の追加を要しない。

【0012】

【実施例】以下図面を参照して本発明の好適な実施例を詳細に説明する。図1は本発明をアクティブマトリクス型液晶表示装置に適用した一例を示す模式的な回路ブロック図である。なお、本発明はかかる二次元表示装置ばかりでなく、広く一般に二次元アドレス装置に適用可能なものである。

【0013】図示する様に、本装置は、X軸方向に平行に配列された複数のゲート線 X_1, X_2, \dots と、Y軸方向に平行に配列された複数のデータ線 Y_1, Y_2, \dots とを有している。さらに、これらゲート線群にゲート信号を線順次供給する第1の走査部あるいは垂直走査部と、これらデータ線群に映像信号を線順次供給する第2の走査部あるいは水平走査部とを備えている。

【0014】ゲート線群及びデータ線群の各交点には夫々能動素子例えば薄膜トランジスタ(TFT) $T_{1,1}, T_{1,2}, T_{1,3}, T_{1,4}, T_{1,5}$ が設けられている。個々のTFTには対応する液晶セル $L_{1,1}, L_{1,2}, L_{1,3}, L_{1,4}, L_{1,5}$ が接続されている。個々の液晶セルは画素電極、対向する共通電極、及び両電極の間に挟持された液晶層とから構成されている。各TFTのドレイン電極は画素電極に接続されており、ゲート電極は対応するゲート線に接続されており、ソース電極は対応するデータ線に接続されている。各TFTはゲート線から供給されるゲート信号によって行毎に選択され且つ、データ線から供給される映像信号を点順次でアクセスし、対応する液晶セルに書き込む。

【0015】なお、図示しないが、マトリクス状に配列された複数の画素電極と、TFT群と、ゲート線群と、データ線群と、垂直走査部と、水平走査部とは一方の基板上に半導体プロセスを用いて形成されている。又、共通電極は他方の基板に形成されている。両基板を所定の間隙を介して重ね合わせ液晶層を挟持する事によりアクティブマトリクス型液晶表示装置を得る事ができる。

【0016】引き続き図1を参照して、本発明の要部をなす水平走査部の回路構成を詳細に説明する。水平走査部はシフトレジスタS/Rを備えている。このシフトレジスタはD型のフリップフロップ(D-FF)を多段接続したものであって、簡便の為N段目ないしN+2段目のみを切り取って示してある。シフトレジスタの各段出力部にはNAND素子が接続されている。特に、シフトレジスタの各段との対応を示す場合には参照符号NAND

Dにサフィックスを付す事にする。例えば、N段目の出力端子に接続されているNAND素子はNAND_Nで表わす。以下、他の種類の素子及び信号パルス等についても同様の規則によりシフトレジスタ段との対応関係を示す必要がある場合にはサフィックスを用いる事にする。各NAND素子からは順次水平スイッチ駆動パルスBが出力される。このパルスはジッタが含まれており固定重複パターンが除去されていないので以下一次パルスBと称する。

【0017】NAND素子の出力端子にはNOR素子が接続されている。このNOR素子群が固定パターン除去回路を構成する。各NOR素子の出力端子には遅延素子DLYが接続されている。これら遅延素子群が遅延回路を構成する。遅延回路の出力端子にはジッタが除去され且つ所定の遅延処理を施された水平スイッチ駆動パルスΦが出力される。以下、かかる処理を施されたパルスを二次パルスΦと称する。実際には、遅延素子DLYの出力は二次パルスΦとその反転パルスである。遅延素子の一对の出力端子にはトランスミッションゲート素子Sが接続されている。これらトランスミッションゲート素子群がスイッチ手段を構成する。各トランスミッションゲート素子の入力端子は映像信号を供給する信号線SIGに共通に結線されているとともに、出力端子は対応するデータ線Yに接続されている。二次パルスΦが印加されている期間に限りトランスミッションゲート素子が導通し、映像信号が順次対応するデータ線Yにサンプリング転送される。

【0018】固定パターン除去回路を構成する個々のNOR素子の入力端子の一方には前述した様に一次パルスBが供給されるとともに、他方の入力端子には二次パルスΦが入力される。このNOR素子は先発の二次パルスΦを制御信号として受け入れ且つこの先発二次パルスの立ち下がりと同位相の立ち上がり有する後発一次パルスBの出力タイミングを制御するものである。本例においては、前段に対応する二次パルスΦに基き次段に対応する一次パルスBの立ち上がりタイミングを規制している。例えば、N段目に対応するNORはΦ_{N-1}に基きB_Nをゲート制御している。

【0019】又、遅延回路を構成する個々の遅延素子DLYは、本例においては直列接続されたインバータからなる。インバータの接続個数を適宜設定する事により所望の遅延量が得られる。なお、NOR素子にも所定の遅延が生じる。従って、回路全体としての遅延量はNOR素子分と遅延素子DLY分とを合計したものである。

【0020】次に図2及び図3を参照して図1に示す水平走査部の動作を詳細に説明する。最初に、図2のタイミングチャートに基きシフトレジスタS/Rによる一次パルスBの出力について説明する。シフトレジスタS/RのN段目のD-FFには前段からデータパルスD_{N-1}が転送されてくる。又、シフトレジスタの各段には水平

10

20

30

40

50

クロック信号HCK1とその反転信号HCK2とが供給されている。この例では、データパルスDの幅はクロック信号の一周分分に設定されている。シフトレジスタのN段目に入力された前段からのデータパルスD_{n-1}はインバータ対によってクロックの半周期分だけ遅延され且つ反転される。この処理を受けたパルスの波形をA.として示す。このパルスA.はさらに別のインバータにより反転されN段目のデータパルスD_nが得られる。タイミングチャートから明らかな様に、データパルスD_nは前段のデータパルスD_{n-1}に比べてクロックの半周期分だけシフトしている。この様に、シフトレジスタS/Rはクロックの半周期分だけシフトしたデータパルスD₀, D₁, D₂, …を順次出力する。

【0021】シフトレジスタの各段出力端子にはNAND素子が接続されている。例えば、N段目に接続されたNAND_nはこの段のデータパルスD_nと次段のデータパルスD_{n+1}とのナンド処理を行ない一次パルスB_nを出力する。同様に、N+1段目の出力端子に接続されたNAND_{n+1}は次の一次パルスB_{n+1}を出力する。この様に、順次出力された一次パルスBはクロックの半周期分に相当する幅を有するとともに、そのパルス幅ずつシフトしている。換言すると、前段の一次パルスが出力された後直ちに次段の一次パルスが出力される。論理的なレベルでは順次出力される一次パルスは重ならないが、実際にはパルスの立ち上がりや立ち下がりにダレがあるのでジッタが生じ互いに重なり合う場合が生じる。

【0022】続いて、図3のタイミングチャートを参照して二次パルスΦの生成動作について説明する。N段目のNAND_nには前述した様に固定パタン除去回路を構成するNOR_nが接続されている。このNOR_nはN段目の一次パルスB_nと前段の二次パルスΦ_{n-1}とのノア処理を行ない、パルスC_nを出力する。図3のタイミングチャートから明らかな様に、このパルスC_nは前段の二次パルスΦ_{n-1}の立ち下がりに同期して立ち上がる。従って、N段目の一次パルスB_nにジッタが含まれていても、対応するパルスC_nからはこのジッタが除去される。このパルスC_nは遅延素子DLY_nを介して所定量だけ遅延され最終的な二次パルスΦ_nが出力される。この様に、固定パタン除去回路は、先発の二次パルスを制御信号として受け入れ且つこの先発二次パルスの立ち下がりと同位相の立ち上がりを有する後発二次パルスの出力タイミングを制御し固定重複パタンを取り除く。この様な処理を施されて順次出力された二次パルスΦ₀, Φ₁, Φ₂, …は互いに重なり合う事がなく従来問題となっていた表示画像の縦筋欠陥を除去できる。

【0023】図4は図1に示す回路の一変形例を表わしており、理解を容易にする為に特に水平走査部のN段目のみを切り取って示してある。図1に示す構成要素と同一部分については同一の参照符号を付してある。異なる点は、固定パタン除去回路がインバータIとNAND素

子との組み合わせから構成されている事である。かかる構成を有する固定パタン除去回路は図1に示す固定パタン除去回路(NOR₀)と同様の機能を有する。

【0024】図5を参照して、本発明にかかる水平走査部の他の実施例を説明する。理解を容易にする為に、図1に示す水平走査部と同一の構成要素については同一の参照符号を付してある。図1に示す実施例と異なる点は、シフトレジスタS/Rの各段出力端子に接続されていたNAND素子が取り除かれている事である。従って、本例においてはシフトレジスタの各段から出力されるデータパルスDが直接対応するNOR素子に入力されている。これと関連して、各NOR素子の他の入力端子には前段からの二次パルスΦではなく前々段からの二次パルスΦが制御信号として入力されている。

【0025】次に、図6を参照して図5に示す水平走査回路の動作を説明する。前述した様に、シフトレジスタS/Rはクロック信号HCKの一周分分に相当する幅を有するデータパルスDを直接順次出力する。各データパルスはクロック信号の半周期分ずつ互いにシフトしている。この例ではデータパルスは2つのグループに分けられる。一方のグループは偶数段目のデータパルスD₀, D₂, D₄, …を含み、他方のグループは奇数段目のデータパルスD₁, D₃, D₅, …を含んでいる。偶数段グループのデータパルスと奇数段グループのデータパルスは各々異なった信号線から供給される映像信号をサンプリングする為に用いられる。同一グループ内においてジッタによりパルス干渉が生じる惧れがある。この為、本実施例では直前段の二次パルスではなく、前々段の二次パルスを制御信号として当該段の二次パルス立ち上がりタイミングを規制している。この様に、本発明は一般に先発のパルスを制御信号としてパルス干渉の可能性のある特定の後発パルスの出力タイミングを規制するものであり、特定の後発パルスは図1に示した様な次発パルスに限られるものではない。

【0026】この様に、間をおいてパルス発生タイミングを制御する事態は、例えば図7に示す場合にも現われる。この例では、シフトレジスタ内で転送されるデータパルスDの幅が長く設定されており、クロック信号HCKの二周期分に相当している。この場合でも、シフトレジスタは互いにクロック信号の半周期分ずつシフトされたデータパルスD₀, D₁, D₂, D₃, D₄, D₅, …を順次出力する。図7のタイミングチャートから明らかな様に、パルス干渉あるいはビット干渉は3段おきに生じる。例えば、先発データパルスD₀の立ち下がりタイミングと後発データパルスD₃の立ち上がりタイミングが同位相にあるので、両者の間にビット干渉が生じる惧れがある。従って、この場合には4段前の水平スイッチ駆動パルスを制御信号として当該段の水平スイッチ駆動パルスの発生タイミングを規制する事となる。

【 0 0 2 7 】

【発明の効果】以上説明した様に、本発明によれば、水平走査回路内に固定パタン除去回路を設ける事により表示画像の縦筋欠陥を除去する事ができるという効果がある。又、固定パタン除去回路は先発パルスを用いて後発パルスの出力タイミングを制御しているので回路構成が比較的簡便であるとともに、各段デバイスの電気特性のばらつきに対しても強い構造となっている。かかる固定重複パタン除去機能付の水平走査回路は特に R G B 同時駆動方式を採用するアクティブマトリクス型液晶表示装置に適用した場合顕著な効果を奏する事ができる。

【図面の簡単な説明】

【図 1】本発明にかかる水平走査回路が適用されたアクティブマトリクス型液晶表示装置の一例を示す回路図である。

【図 2】図 1 に示す水平走査回路の動作を説明する為のタイミングチャートである。

【図 3】同じく水平走査回路の動作を説明する為のタイミングチャートである。

【図 4】図 1 に示す水平走査回路に含まれる固定パタン

除去回路の変形例を示す回路図である。

【図 5】水平走査回路の他の実施例を示す回路図である。

【図 6】図 5 に示す水平走査回路の動作を説明する為のタイミングチャートである。

【図 7】図 5 に示す水平走査回路の変形例の動作を説明する為のタイミングチャートである。

【図 8】従来のアクティブマトリクス型液晶表示装置を示す回路図である。

【図 9】図 8 に示す従来例の課題を説明する為のタイミングチャートである。

【符号の説明】

S / R シフトレジスタ

N O R ノアゲート素子（固定パタン除去回路）

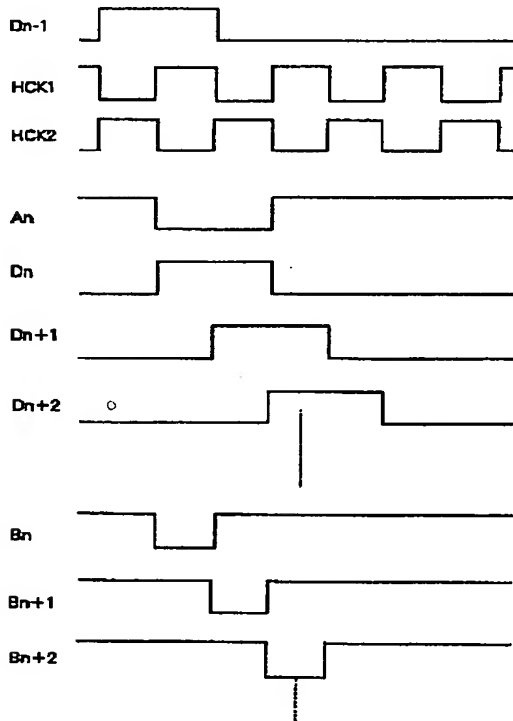
D L Y 遅延素子

S トランスマッションゲート素子（スイッチ手段）

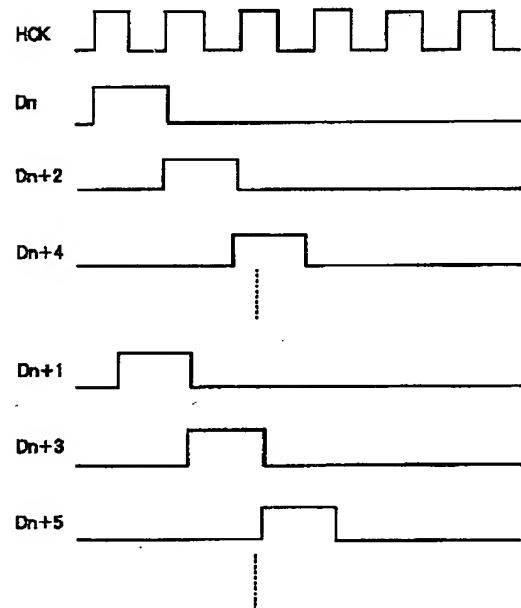
T 薄膜トランジスタ（能動素子）

L 液晶セル

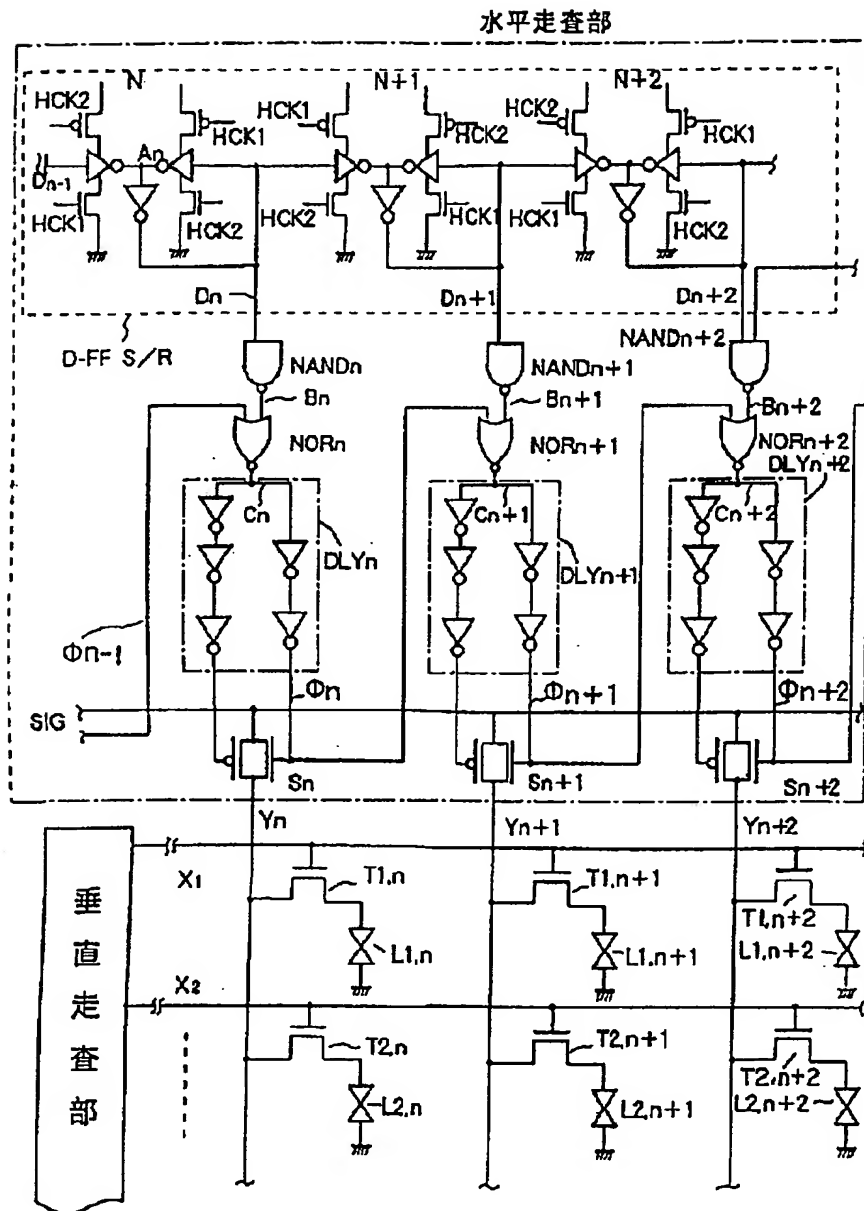
【図 2】



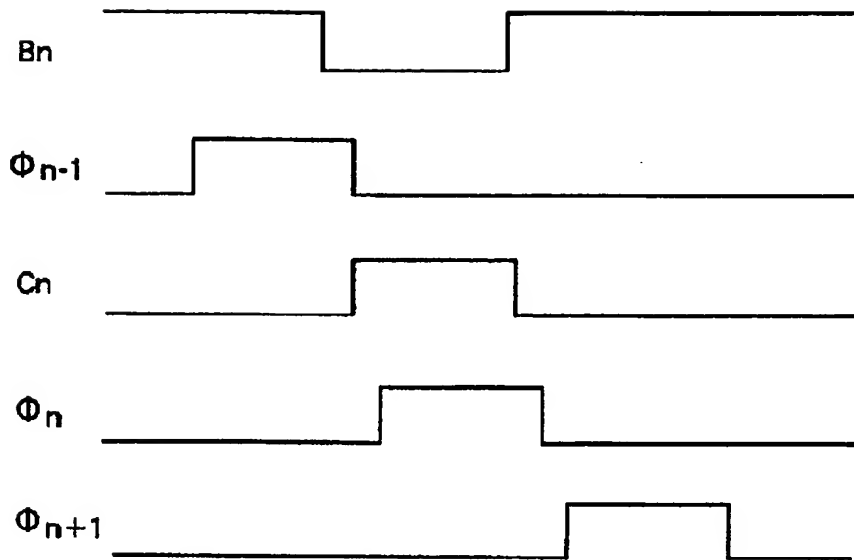
【図 6】



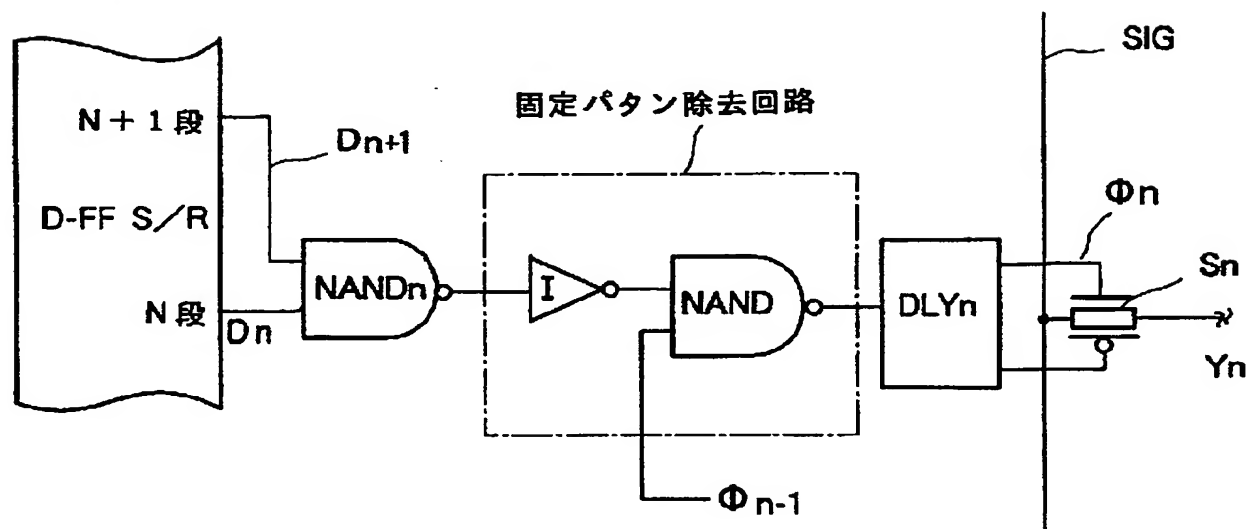
【図 1】



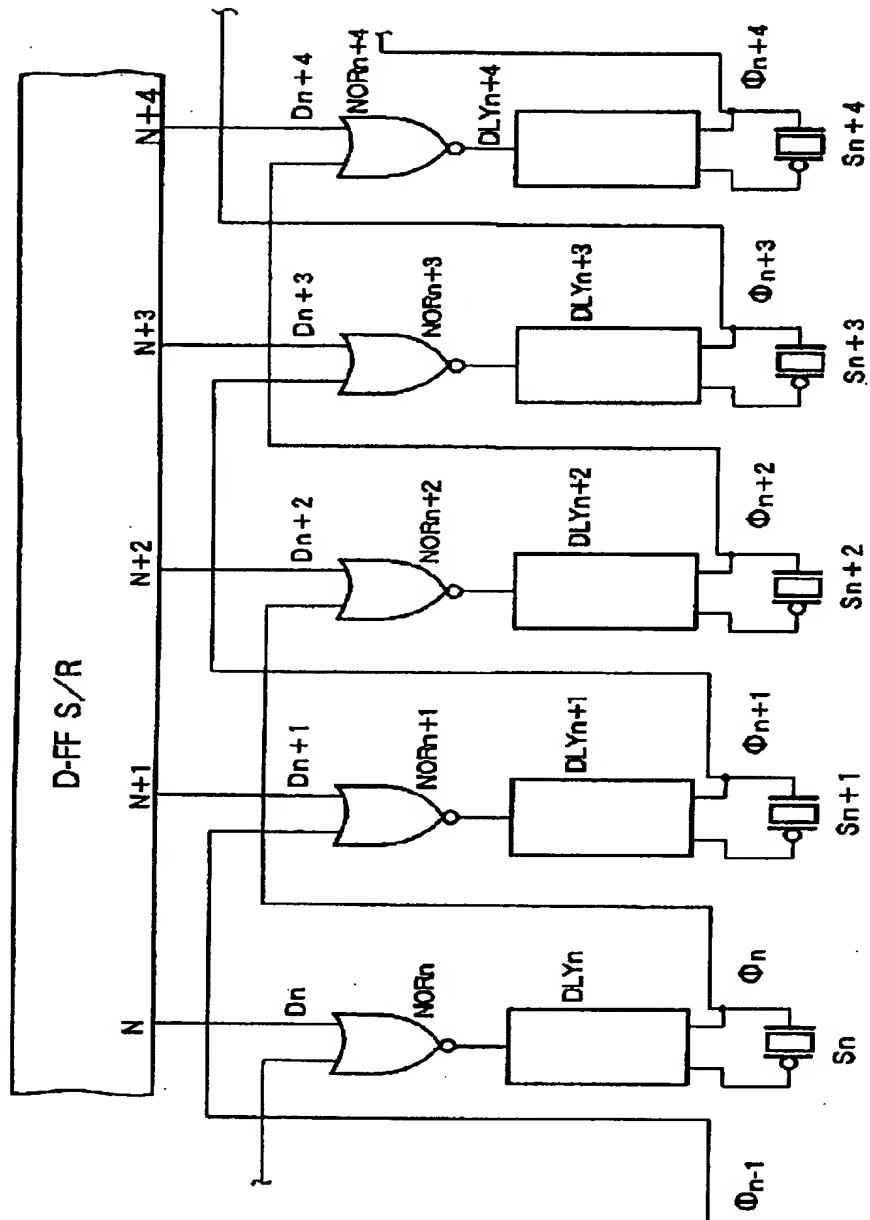
【図 3】



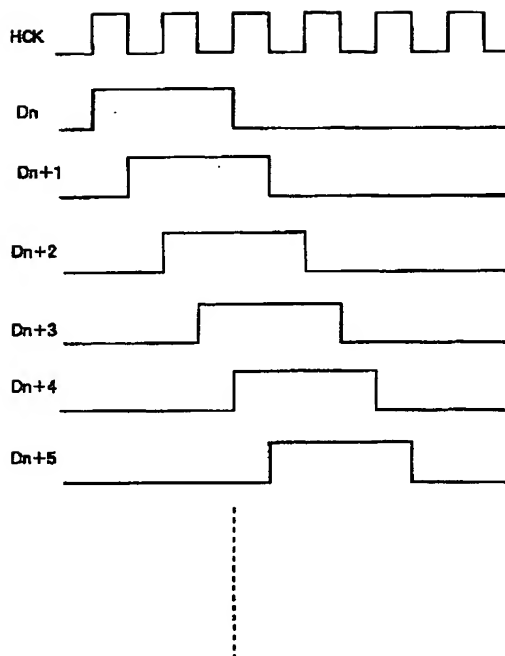
【図 4】



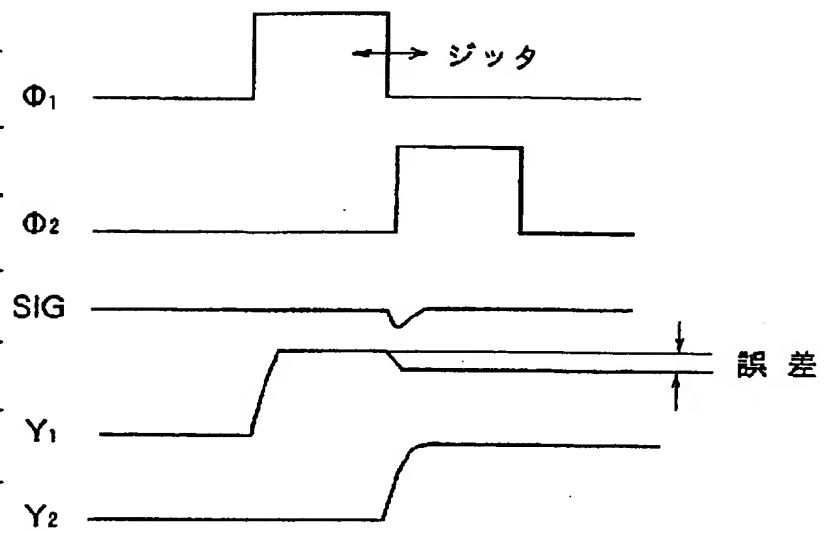
【図 5】



【図 7】



【図 9】



【図 8】

